========= ================================================================

\* Final Report \*

=========================================================================

Final Results

RTL Top Level Output File Name : Floating\_Point\_Multiplier\_Single\_Precision\_Booth\_CLA.ngr

Top Level Output File Name : Floating\_Point\_Multiplier\_Single\_Precision\_Booth\_CLA

Output Format : NGC

Optimization Goal : Speed

Keep Hierarchy : NO

Design Statistics

# IOs : 96

Cell Usage :

# BELS : 7239

# GND : 1

# INV : 284

# LUT1 : 58

# LUT2 : 795

# LUT3 : 1915

# LUT4 : 674

# MUXCY : 1074

# MUXF5 : 1112

# MUXF6 : 272

# MUXF7 : 19

# VCC : 1

# XORCY : 1034

# IO Buffers : 96

# IBUF : 64

# OBUF : 32

# MULTs : 86

# MULT18X18 : 86

=========================================================================

Device utilization summary:

---------------------------

Selected Device : 3s4000lfg900-4

Number of Slices: 2014 out of 27648 7%

Number of 4 input LUTs: 3726 out of 55296 6%

Number of IOs: 96

Number of bonded IOBs: 96 out of 633 15%

Number of MULT18X18s: 86 out of 96 89%

---------------------------

Partition Resource Summary:

---------------------------

No Partitions were found in this design.

---------------------------

=========================================================================

TIMING REPORT

NOTE: THESE TIMING NUMBERS ARE ONLY A SYNTHESIS ESTIMATE.

FOR ACCURATE TIMING INFORMATION PLEASE REFER TO THE TRACE REPORT

GENERATED AFTER PLACE-and-ROUTE.

Clock Information:

------------------

No clock signals found in this design

Asynchronous Control Signals Information:

----------------------------------------

No asynchronous control signals found in this design

Timing Summary:

---------------

Speed Grade: -4

Minimum period: No path found

Minimum input arrival time before clock: No path found

Maximum output required time after clock: No path found

Maximum combinational path delay: 137.923ns

Timing Detail:

--------------

All values displayed in nanoseconds (ns)

=========================================================================

Timing constraint: Default path analysis

Total number of paths / destination ports: 11030883411614556000 / 32

-------------------------------------------------------------------------

Delay: 137.923ns (Levels of Logic = 87)

Source: A<2> (PAD)

Destination: Mul\_Out<22> (PAD)

Data Path: A<2> to Mul\_Out<22>

Gate Net

Cell:in->out fanout Delay Delay Logical Name (Net Name)

---------------------------------------- ------------

IBUF:I->O 116 0.821 2.673 A\_2\_IBUF (A\_2\_IBUF)

LUT2:I0->O 1 0.551 0.000 SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM0/SD\_PP0/Mmult\_X\_7\_mult0000\_Madd\_lut<2> (SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM0/SD\_PP0/Mmult\_X\_7\_mult0000\_Madd\_2)

MUXCY:S->O 1 0.500 0.000 SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM0/SD\_PP0/Mmult\_X\_7\_mult0000\_Madd\_cy<2> (SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM0/SD\_PP0/Mmult\_X\_7\_mult0000\_Madd\_cy<2>)

MUXCY:CI->O 1 0.064 0.000 SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM0/SD\_PP0/Mmult\_X\_7\_mult0000\_Madd\_cy<3> (SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM0/SD\_PP0/Mmult\_X\_7\_mult0000\_Madd\_cy<3>)

XORCY:CI->O 1 0.904 1.140 SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM0/SD\_PP0/Mmult\_X\_7\_mult0000\_Madd\_xor<4> (SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM0/SD\_PP0/Mmult\_X\_7\_mult0000\_Madd\_4)

LUT2:I0->O 1 0.551 0.000 SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM0/SD\_PP0/Mmult\_X\_7\_mult0000\_Madd1\_lut<4> (N10841)

MUXCY:S->O 1 0.500 0.000 SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM0/SD\_PP0/Mmult\_X\_7\_mult0000\_Madd1\_cy<4> (SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM0/SD\_PP0/Mmult\_X\_7\_mult0000\_Madd1\_cy<4>)

XORCY:CI->O 1 0.904 0.869 SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM0/SD\_PP0/Mmult\_X\_7\_mult0000\_Madd1\_xor<5> (SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM0/SD\_PP0/X\_7<5>)

LUT3:I2->O 1 0.551 0.000 B<3>\_651 (N1665)

MUXF5:I1->O 1 0.360 0.000 B<3>\_5\_f5\_33 (B<3>\_5\_f534)

MUXF6:I1->O 1 0.342 0.000 B<3>\_4\_f6\_15 (B<3>\_4\_f616)

MUXF7:I0->O 1 0.342 0.996 B<3>\_2\_f7\_15 (SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/PP\_0<5>)

LUT4:I1->O 2 0.551 0.945 SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/Madd\_AUX\_3\_addsub0001\_cy<0>1\_SW0 (N5721)

LUT4:I2->O 1 0.551 0.000 SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/Madd\_AUX\_5\_addsub0002\_cy<0>1\_SW02 (N3826)

MUXF5:I0->O 2 0.360 0.945 SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/Madd\_AUX\_5\_addsub0002\_cy<0>1\_SW0\_f5 (N10901)

LUT4:I2->O 1 0.551 1.140 SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/Madd\_AUX\_6\_addsub0002\_cy<0>1\_SW0 (N948)

LUT4:I0->O 2 0.551 1.072 SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/Madd\_AUX\_6\_addsub0002\_cy<0>1 (SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/Madd\_AUX\_6\_addsub0002\_cy<0>)

LUT3:I1->O 1 0.551 1.140 SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/Madd\_AUX\_7\_addsub0002\_cy<0>1\_SW0 (N946)

LUT4:I0->O 2 0.551 1.072 SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/Madd\_AUX\_7\_addsub0002\_cy<0>1 (SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/Madd\_AUX\_7\_addsub0002\_cy<0>)

LUT3:I1->O 1 0.551 1.140 SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/Madd\_AUX\_8\_addsub0002\_cy<0>1\_SW0 (N944)

LUT4:I0->O 2 0.551 1.216 SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/Madd\_AUX\_8\_addsub0002\_cy<0>1 (SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/Madd\_AUX\_8\_addsub0002\_cy<0>)

LUT3:I0->O 3 0.551 1.102 SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/Madd\_AUX\_8\_addsub0002\_cy<1>11 (SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/Madd\_AUX\_8\_addsub0002\_cy<1>)

LUT4:I1->O 2 0.551 1.216 SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/Madd\_AUX\_10\_addsub0003\_cy<0>1 (SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/Madd\_AUX\_10\_addsub0003\_cy<0>)

LUT3:I0->O 2 0.551 1.216 SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/Madd\_AUX\_10\_addsub0003\_cy<1>11 (SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/Madd\_AUX\_10\_addsub0003\_cy<1>)

LUT3:I0->O 2 0.551 1.072 SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/Madd\_AUX\_10\_addsub0003\_xor<2>11 (SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/W13<1>)

LUT3:I1->O 2 0.551 1.072 SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/Madd\_AUX\_11\_addsub0003\_cy<1>11 (SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/Madd\_AUX\_11\_addsub0003\_cy<1>)

LUT3:I1->O 2 0.551 1.216 SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/Madd\_AUX\_11\_addsub0003\_xor<2>11 (SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/W14<1>)

LUT3:I0->O 1 0.551 1.140 SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/Madd\_AUX\_13\_addsub0004\_cy<0>1\_SW0 (N962)

LUT4:I0->O 2 0.551 1.216 SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/Madd\_AUX\_13\_addsub0004\_cy<0>1 (SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/Madd\_AUX\_13\_addsub0004\_cy<0>)

LUT3:I0->O 2 0.551 1.072 SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/Madd\_AUX\_13\_addsub0004\_cy<1>11 (SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/Madd\_AUX\_13\_addsub0004\_cy<1>)

LUT3:I1->O 2 0.551 1.216 SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/Madd\_AUX\_13\_addsub0004\_xor<2>11 (SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/W16<1>)

LUT3:I0->O 1 0.551 1.140 SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/Madd\_AUX\_15\_addsub0004\_cy<0>1\_SW0 (N958)

LUT4:I0->O 2 0.551 1.216 SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/Madd\_AUX\_15\_addsub0004\_cy<0>1 (SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/Madd\_AUX\_15\_addsub0004\_cy<0>)

LUT3:I0->O 2 0.551 1.072 SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/Madd\_AUX\_15\_addsub0004\_cy<1>11 (SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/Madd\_AUX\_15\_addsub0004\_cy<1>)

LUT3:I1->O 2 0.551 1.216 SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/Madd\_AUX\_15\_addsub0004\_xor<2>11 (SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/W18<1>)

LUT3:I0->O 1 0.551 1.140 SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/Madd\_AUX\_17\_addsub0005\_cy<0>1\_SW0 (N954)

LUT4:I0->O 2 0.551 1.216 SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/Madd\_AUX\_17\_addsub0005\_cy<0>1 (SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/Madd\_AUX\_17\_addsub0005\_cy<0>)

LUT3:I0->O 2 0.551 0.945 SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/Madd\_AUX\_17\_addsub0005\_cy<1>11 (SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/Madd\_AUX\_17\_addsub0005\_cy<1>)

LUT3:I2->O 2 0.551 1.216 SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/Madd\_AUX\_17\_addsub0005\_xor<2>11 (SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/W20<1>)

LUT3:I0->O 1 0.551 1.140 SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/Madd\_AUX\_19\_addsub0005\_cy<0>1\_SW0 (N950)

LUT4:I0->O 3 0.551 1.246 SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/Madd\_AUX\_19\_addsub0005\_cy<0>1 (SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/Madd\_AUX\_19\_addsub0005\_cy<0>)

LUT3:I0->O 2 0.551 0.945 SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/Madd\_AUX\_19\_addsub0005\_cy<1>11 (SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/Madd\_AUX\_19\_addsub0005\_cy<1>)

LUT3:I2->O 3 0.551 1.102 SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/Madd\_AUX\_19\_addsub0005\_xor<2>11 (SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/W22<1>)

LUT3:I1->O 2 0.551 0.945 SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/Madd\_AUX\_20\_addsub0005\_cy<1>11 (SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/Madd\_AUX\_20\_addsub0005\_cy<1>)

LUT3:I2->O 3 0.551 1.102 SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/Madd\_AUX\_20\_addsub0005\_xor<2>11 (SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/W23<1>)

LUT3:I1->O 2 0.551 0.945 SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/Madd\_AUX\_21\_addsub0006\_cy<1>11 (SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/Madd\_AUX\_21\_addsub0006\_cy<1>)

LUT3:I2->O 3 0.551 1.102 SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/Madd\_AUX\_21\_addsub0006\_xor<2>11 (SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/W24<1>)

LUT3:I1->O 2 0.551 0.945 SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/Madd\_AUX\_22\_addsub0006\_cy<1>11 (SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/Madd\_AUX\_22\_addsub0006\_cy<1>)

LUT3:I2->O 3 0.551 1.102 SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/Madd\_AUX\_22\_addsub0006\_xor<2>11 (SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/W25<1>)

LUT3:I1->O 2 0.551 0.945 SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/Madd\_AUX\_23\_addsub0006\_cy<1>11 (SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/Madd\_AUX\_23\_addsub0006\_cy<1>)

LUT3:I2->O 3 0.551 1.102 SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/Madd\_AUX\_23\_addsub0006\_xor<2>11 (SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/W26<1>)

LUT3:I1->O 2 0.551 0.945 SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/Madd\_AUX\_24\_addsub0006\_cy<1>11 (SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/Madd\_AUX\_24\_addsub0006\_cy<1>)

LUT3:I2->O 3 0.551 1.102 SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/Madd\_AUX\_24\_addsub0006\_xor<2>11 (SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/W27<1>)

LUT3:I1->O 3 0.551 0.933 SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/Madd\_AUX\_25\_addsub0007\_cy<1>11 (SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/Madd\_AUX\_25\_addsub0007\_cy<1>)

LUT4:I3->O 3 0.551 1.102 SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/Madd\_AUX\_25\_addsub0007\_xor<2>11 (SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/W28<1>)

LUT3:I1->O 2 0.551 1.216 SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/Madd\_AUX\_26\_addsub0007\_cy<1>11 (SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/Madd\_AUX\_26\_addsub0007\_cy<1>)

LUT4:I0->O 2 0.551 1.216 SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/Madd\_AUX\_26\_addsub0007\_cy<2>11 (SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/Madd\_AUX\_26\_addsub0007\_cy<2>)

LUT4:I0->O 2 0.551 0.903 SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/Madd\_AUX\_26\_addsub0007\_xor<3>11 (SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/W29<2>)

LUT4:I3->O 3 0.551 1.102 SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/Madd\_AUX\_27\_addsub0007\_xor<2>11 (SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/W30<1>)

LUT3:I1->O 2 0.551 1.216 SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/Madd\_AUX\_28\_addsub0007\_cy<1>11 (SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/Madd\_AUX\_28\_addsub0007\_cy<1>)

LUT4:I0->O 2 0.551 1.216 SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/Madd\_AUX\_28\_addsub0007\_cy<2>11 (SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/Madd\_AUX\_28\_addsub0007\_cy<2>)

LUT4:I0->O 2 0.551 0.903 SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/Madd\_AUX\_28\_addsub0007\_xor<3>11 (SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/W31<2>)

LUT4:I3->O 3 0.551 1.102 SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/Madd\_AUX\_29\_addsub0007\_xor<2>11 (SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/W32<1>)

LUT3:I1->O 2 0.551 1.216 SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/Madd\_AUX\_30\_addsub0007\_cy<1>11 (SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/Madd\_AUX\_30\_addsub0007\_cy<1>)

LUT4:I0->O 2 0.551 1.216 SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/Madd\_AUX\_30\_addsub0007\_cy<2>11 (SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/Madd\_AUX\_30\_addsub0007\_cy<2>)

LUT4:I0->O 2 0.551 0.903 SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/Madd\_AUX\_30\_addsub0007\_xor<3>11 (SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/W33<2>)

LUT4:I3->O 3 0.551 1.102 SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/Madd\_AUX\_31\_addsub0007\_xor<2>11 (SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/W34<1>)

LUT3:I1->O 2 0.551 1.216 SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/Madd\_AUX\_32\_addsub0007\_cy<1>11 (SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/Madd\_AUX\_32\_addsub0007\_cy<1>)

LUT4:I0->O 2 0.551 1.216 SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/Madd\_AUX\_32\_addsub0007\_cy<2>11 (SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/Madd\_AUX\_32\_addsub0007\_cy<2>)

LUT4:I0->O 2 0.551 0.903 SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/Madd\_AUX\_32\_addsub0007\_xor<3>11 (SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/W35<2>)

LUT4:I3->O 3 0.551 1.102 SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/Madd\_AUX\_33\_addsub0007\_xor<2>11 (SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/W36<1>)

LUT3:I1->O 2 0.551 1.216 SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/Madd\_AUX\_34\_addsub0007\_cy<1>11 (SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/Madd\_AUX\_34\_addsub0007\_cy<1>)

LUT4:I0->O 2 0.551 1.216 SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/Madd\_AUX\_34\_addsub0007\_cy<2>11 (SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/Madd\_AUX\_34\_addsub0007\_cy<2>)

LUT4:I0->O 2 0.551 0.903 SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/Madd\_AUX\_34\_addsub0007\_xor<3>11 (SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/W37<2>)

LUT4:I3->O 3 0.551 1.102 SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/Madd\_AUX\_35\_addsub0007\_xor<2>11 (SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/W38<1>)

LUT3:I1->O 2 0.551 1.216 SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/Madd\_AUX\_36\_addsub0007\_cy<1>11 (SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/Madd\_AUX\_36\_addsub0007\_cy<1>)

LUT4:I0->O 2 0.551 1.216 SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/Madd\_AUX\_36\_addsub0007\_cy<2>11 (SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/Madd\_AUX\_36\_addsub0007\_cy<2>)

LUT4:I0->O 2 0.551 0.903 SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/Madd\_AUX\_36\_addsub0007\_xor<3>11 (SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/W39<2>)

LUT4:I3->O 3 0.551 1.102 SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/Madd\_AUX\_37\_addsub0007\_xor<2>11 (SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/W40<1>)

LUT3:I1->O 2 0.551 1.216 SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/Madd\_AUX\_38\_addsub0007\_cy<1>11 (SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/Madd\_AUX\_38\_addsub0007\_cy<1>)

LUT4:I0->O 2 0.551 1.216 SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/Madd\_AUX\_38\_addsub0007\_cy<2>11 (SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/Madd\_AUX\_38\_addsub0007\_cy<2>)

LUT4:I0->O 2 0.551 0.903 SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/Madd\_AUX\_38\_addsub0007\_xor<3>11 (SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/W41<2>)

LUT4:I3->O 3 0.551 1.102 SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/Madd\_AUX\_39\_addsub0007\_xor<2>11 (SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/W42<1>)

LUT3:I1->O 1 0.551 0.869 SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/Madd\_AUX\_40\_addsub0007\_cy<1>11 (SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/Madd\_AUX\_40\_addsub0007\_cy<1>)

LUT4:I2->O 1 0.551 0.827 SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/Madd\_AUX\_40\_addsub0007\_xor<2>11 (SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/W43<1>)

LUT4:I3->O 1 0.551 0.801 SD\_Matissa\_Mul\_Mtiplier\_Unit/M0/MM1/Madd\_AUX\_42\_addsub00071 (Out\_m<45>)

OBUF:I->O 5.644 Mul\_Out\_22\_OBUF (Mul\_Out<22>)

----------------------------------------

Total 137.923ns (52.617ns logic, 85.306ns route)

(38.1% logic, 61.9% route)

=========================================================================

CPU : 90.78 / 91.15 s | Elapsed : 91.00 / 91.00 s

-->

Total memory usage is 351060 kilobytes

Number of errors : 0 ( 0 filtered)

Number of warnings : 49 ( 0 filtered)

Number of infos : 0 ( 0 filtered)